



(43) 国際公開日  
2005 年 10 月 20 日 (20.10.2005)

**PCT**

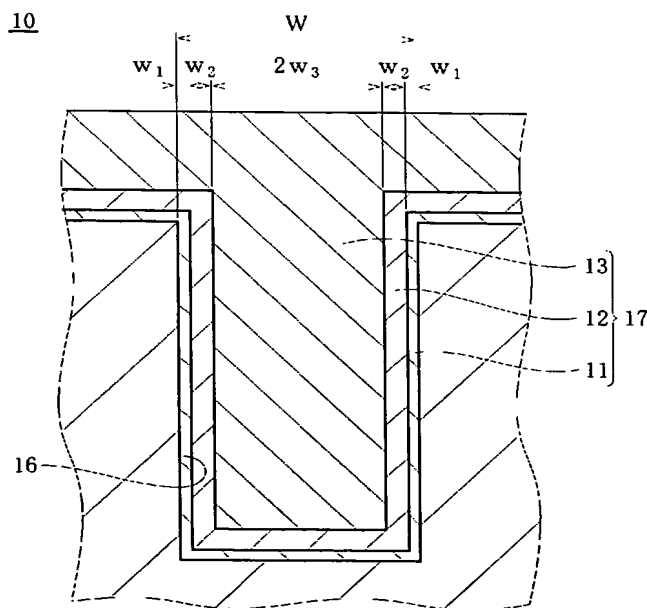
(10) 国際公開番号  
**WO 2005/098912 A1**

- |  |                                |   |
|--|--------------------------------|---|
| (51) 国際特許分類 <sup>7</sup> :   | H01L 21/205, 21/306            | (NOGAMI, Syouji) [JP/JP]; 〒1058634 東京都港区芝浦 1 丁目 2 番 1 号三菱住友シリコン株式会社内 Tokyo (JP). 堀岡 佑吉 (HORIOKA, Yukichi) [JP/JP]; 〒1058634 東京都港区芝浦 1 丁目 2 番 1 号三菱住友シリコン株式会社内 Tokyo (JP). 山内 庄一 (YAMAUCHI, Shoichi) [JP/JP]; 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地株式会社デンソー内 Aichi (JP).  |
| (21) 国際出願番号:   | PCT/JP2005/006268              | (74) 代理人: 須田 正義 (SUDA, Masayoshi); 〒1700013 東京都豊島区東池袋 1 丁目 2 番 1 号オーク池袋ビル Tokyo (JP).   |
| (22) 国際出願日:  | 2005 年 3 月 31 日 (31.03.2005)   | (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, |
| (25) 国際出願の言語:  | 日本語                            |   |
| (26) 国際公開の言語:  | 日本語                            |   |
| (30) 優先権データ:<br>特願2004-110634  | 2004 年 4 月 5 日 (05.04.2004) JP |   |
| (71) 出願人 (米国を除く全ての指定国について): 三菱住友シリコン株式会社 (SUMITOMO MITSUBISHI SILICON CORPORATION) [JP/JP]; 〒1058634 東京都港区芝浦 1 丁目 2 番 1 号 Tokyo (JP). 株式会社デンソー (DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地 Aichi (JP). |                                |   |
| (72) 発明者; および  |                                |   |
| (75) 発明者/出願人 (米国についてのみ): 野上 彰二   |                                |   |

[續葉有]

**(54) Title:** METHOD FOR MANUFACTURING SEMICONDUCTOR WAFER AND SEMICONDUCTOR WAFER MANUFACTURED BY SUCH METHOD

(54) 発明の名称: 半導体ウェーハの製造方法及びその方法で製造された半導体ウェーハ



**(S7) Abstract:** The resistivity of an epitaxial layer inside a trench is changed stepwise and effect of autodoping from a semiconductor wafer is suppressed by reducing in stages the amount of impurities diffused into the epitaxial layer inside the trench from the semiconductor wafer. While supplying a silane gas as the raw material gas inside a trench (16) of a semiconductor wafer (10) having a trench structure, an epitaxial layer (17) is grown by vapor deposition by decreasing stepwise the temperature within the range of 400-1150°C so that the inside of the trench (16) is filled with the epitaxial layer (17).

〔続葉有〕



SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,  
UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告書
- 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 半導体ウェーハからトレンチ内部のエピタキシャル層に拡散される不純物量を階段状に少なくすることにより、トレンチ内部のエピタキシャル層の抵抗率を階段状に変化させ、半導体ウェーハからのオートドーピングの影響を抑制する。 トレンチ構造を有する半導体ウェーハ10のトレンチ16内部に、原料ガスとしてシランガスを供給しながら、気相成長法により400～1150℃の温度範囲で段階的に温度を下げて、エピタキシャル層17を成長させることにより、トレンチ16内部にエピタキシャル層17を充填する。